

第1章

FPGAの消費電力と発熱の問題を考える

―― 大規模品を高速動作させるなら対策が不可欠

小林憲司

ここでは，FPGAにおいて，消費電力と発熱が問題になってきた背景について解説する．本誌では，FPGAのように低電圧・大電流を必要とするLSIのための電源回路の問題を取り上げたことがある（本誌2002年10月号の「特集2 ASIC/FPGAユーザのための電源回路設計法」と2004年9月号の「特集2 最先端LSIを正しく動かすための電源回路設計法」を参照）．130nmプロセスで製造されるLSIを想定し，低電圧・大電流が引き起こす問題や小型DC-DCコンバータを活用するPOL（point of load）方式の電源回路などを解説した．その後90nmプロセスで製造されるFPGAが普及し始め，新たな問題が発生している．それはFPGAの規模と性能の向上に伴うさらなる大電流化と発熱である．（編集部）

近年のFPGAの集積度と性能の向上には目を見張るものがあります．また，最先端プロセスによる製造の効果により，低コスト化が進んでいます．これらの理由から，今やFPGAは，論理回路設計に不可欠と言っても過言ではない存在になっています．

1 FPGAで消費電力が問われる理由

FPGAの重要性がシステムの中で増すにつれ，FPGAのプログラマビリティという特徴が問題となるケースがでてきました．

● 実装する回路によって消費電力が大きく異なる

FPGAはプログラマブルというデバイスの性質上，消費電力は内部回路，すなわち実装するアプリケーションによって変わるという特徴があります．つまり同一のFPGAであっても，動作周波数や実際に動作する回路の規模によって消費電力が大きく異なるということです．例えば同じデバイスであっても，1Aにも満たないこともあれば10Aを超える電流を消費することもあります．

ボード・レベルでまったく同じ回路であっても，FPGAに実装するアプリケーションによっては消費電力がまったく異なることもありえます．この特徴は，ASSPなどの特定の処理を行うLSIとは明らかに異なります．

実装する回路によって消費電力が大きく異なるだけでなく，必要な電力が増えることも問題を難しくしています．集積度について見れば，かつて複数のLSIで構成していた回路を一つのFPGAで実現できるようになりました．一つのディジタル回路システムを一つのFPGAの内部に納めた，いわゆるsystem on a chipとしても活用されるようになっています．また，性能も向上し，内部論理ブロックは数百MHzのクロックでも動作します．数Gbpsに対応する高速シリアル通信用のブロックを持つ製品すらあります．FPGAベンダは，製造プロセスの改善やアーキテクチャのくふうで低消費電力化を図っています．しかし，大規模なLSIを高速動作させれば，物理法則のとおり，大きな電力を消費することになります．

FPGAがsystem on a chipとして活用され始めれば，FPGAの消費電力のシステム全体に占める割合が大きくなります．FPGAが必要とする電源容量を正しく見積もることができないと，電源を含めたシステム設計を行えません．

KeyWord
FPGA，消費電力，発熱，低電圧，大電流，電源回路，DC-DC変換回路，POL，ダイナミック消費電力，スタティック消費電力，I/O消費電力

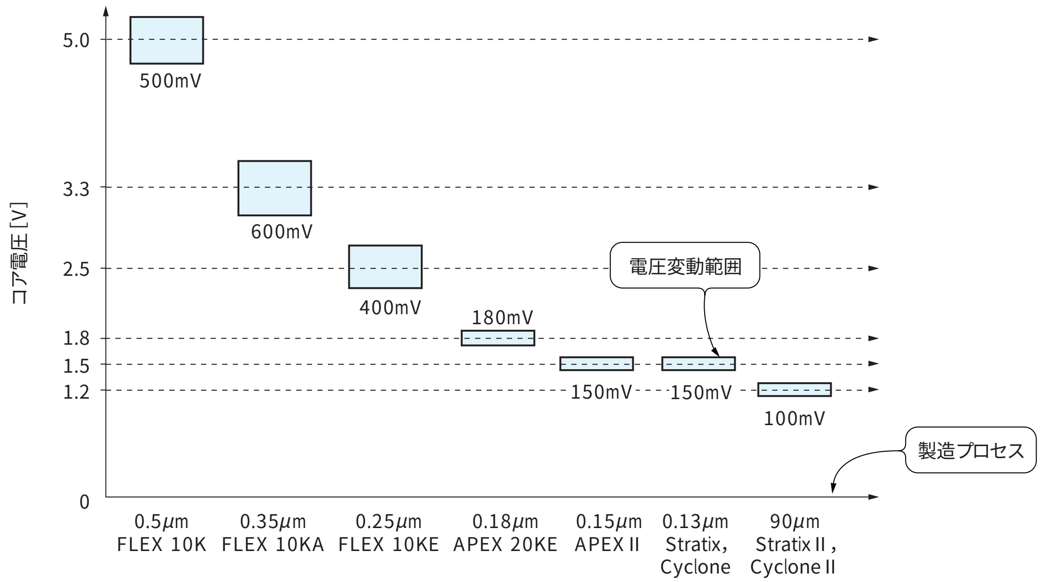


図1
コア電圧の変化(1)
Altera社のFPGAの例を示す

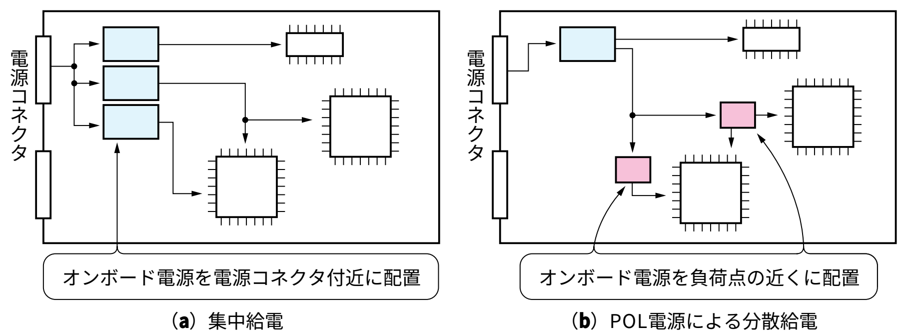


図2
オンボード電源の配置(1)
低電圧・大電流のLSIは，専用のDC-DCコンバータを近くに配置する

評価基板による実測を行ってから電源回路を設計するという方法もあります．しかし，これではFPGAの論理設計とプリント基板設計を並行して行えなくなり，開発期間の増大を招きます．

● 高い精度の大容量電源が求められる

最近のFPGAでは，電源電圧の低電圧化が進んでいます．例えば，90nmプロセスのFPGAファミリは1.2V，65nmプロセスのFPGAでは1.0Vになります．また，電源電圧には，±5%程度の精度も求められています．1.0Vであれば，±0.05Vという厳しい品質の電源供給を迫られることになります(図1)．

FPGAの大規模化と高速動作によって電源回路を流れる電流が大きくなると，プリント基板のパターンの影響を受けやすくなります．このため，高い電圧精度と大電流を必要とする低電圧LSIの場合，システム共通の電源ユニットから直接供給することが困難になります．そこで，プリント基板上の対象のLSIに比較的近い位置に専用のDC-DC変換回路を配置して供給するというPOL方式を採用することが増えています(図2)．DC-DC変換回路を設計するためにはFPGA単体の消費電力の見積もりが欠かせない作業になってきています．

容量に余裕のある電源回路を載せてしまえばよいというわけにはいきません．数AのDC-DCコンバータと十数AのDC-DCコンバータでは，部品コストも基板コストも大きく異なります．また，プリント基板の電源パターン設計にも大きな影響を与えます．消費電力が大きい場合には，熱対策を考慮した基板設計や機構設計が求められます．

FPGA以外のLSIであっても，低電圧で高い精度を要求したり，大きな電力を消費して熱を発生することがあります．しかし，トラブルの原因となることはあまりありません．ほとんどのLSIでは，一般的な動作条件における消費電力がデータシートに明記されているためです．最近では，電源回路を含めたリファレンス設計がデータシートなどに



示されていることも珍しくありません.

● 消費電力が上がると熱対策が求められる

FPGAの高集積化と高速化によって消費電力が上がることで，発熱が問題となるケースが増えています.

FPGAも半導体デバイスの一つであるため，当然ながら正常に動作する温度には上限があります．このため，低電圧・大電流で精度の高い電源回路を用意してボードを作り上げても，上限の温度を超えてしまうとFPGAが動作しないということになってしまいます.

熱対策の一つとして，ヒートシンクを後付けで装着することも考えられますが，発熱量によってはヒートシンクだけでは対処できないこともあります．また，放熱効果の高いヒートシンクはどうしても大型になるため，プリント基板に取り付け穴をあらかじめ用意するといった配慮が必要になります．さらに放熱効果を高めるためには，空気の流れを考慮する必要もあります．したがって熱対策は，筐体を含めたシステム全体で行うべきであると言えます．熱についても早い段階から見積もりを行い，対策を検討するべきです.

LSIの発熱は，LSIが消費する電力に起因します．そしてFPGAの場合，これは実装するアプリケーションに大きく依存します．すなわち，データシートからは読み取れないという難しさがあります.

● 小規模FPGAでも消費電力の見積もりが必要

FPGAの集積度が低ければ，過去の経験やリファレンス設計を参考にした概算の見積もりであっても問題となることはあまりありません．実際，筆者も比較的小規模なFPGAを使う場合は，消費電力が問題になることはありませんでした.

これはシステム全体に占めるFPGAの消費電力の割合が小さいためです．かりに消費電力の見積もりを誤ってしまっても，システム共通電源のマージンに収まるか，電源ユニットまたは電源回路を多少見直すだけで対応可能でしょう.

しかし，最新のプロセス技術で製造されるFPGAファミリを活用する場合は，消費電力の見積もりがたいせつになります．最新のFPGAは低電圧のコア電源を必要とするため，専用のDC-DC変換回路をプリント基板上で構成する必要があります．ここで，低コストのFPGAのために高価なDC-DCコンバータを用いるのは避けたいところです．小規模なFPGAであっても，できるだけ正確に消費電力を見積もり，最適な電源回路を構成する必要があります．小規模なFPGAは消費電力が小さく，熱対策は必要ないケースがほとんどでしょう．しかし，コア電源で低コストのリニア・レギュレータを利用する場合は，電源回路部の熱対策が必要になることも考えられます.

表1　FPGAの消費電力

種　類	内　容
スタティック消費電力	リーク電流に依存する
ダイナミック消費電力	回路のスイッチング時に流れる電流に依存する
I/O消費電力	周辺回路やI/Oブロックの動作に依存する

2 FPGAの消費電力

FPGAを使ううえで消費電力を確定することは非常に重要になります．それでは，FPGAの消費電力とはどのようなものなのでしょうか.

FPGAが消費する電力として，チップ内でのみ消費する電力と，外部の周辺回路に関連して消費する「I/O消費電力」が考えられます．チップ内の消費電力は，さらに「動作時の消費電力（ダイナミック消費電力）」と「待機時の消費電力（スタティック消費電力）」の2種類に分けられます（**表1**）.

● “H”，“L”の変化に起因するダイナミック消費電力

ダイナミック消費電力とは，FPGA内部の論理レベルが変化する際に発生する電力です．内部容量成分への充放電に起因します.

CMOS LSIの内部ダイナミック消費電力は，一般に，

$$P = CV^2f$$

ここで，Pは消費電力，Cは容量成分，Vは電源電圧，fは周波数

で表されます．実際には，クロックのように一定のタイミングでスイッチングしない信号がほとんどのため，fはトグル率を考慮して計算することになります.

FPGAでは，基本論理ブロックや配線リソース，メモリ・ブロック，DSPブロックなど，FPGAの内部構造のすべてで電力が消費されます.

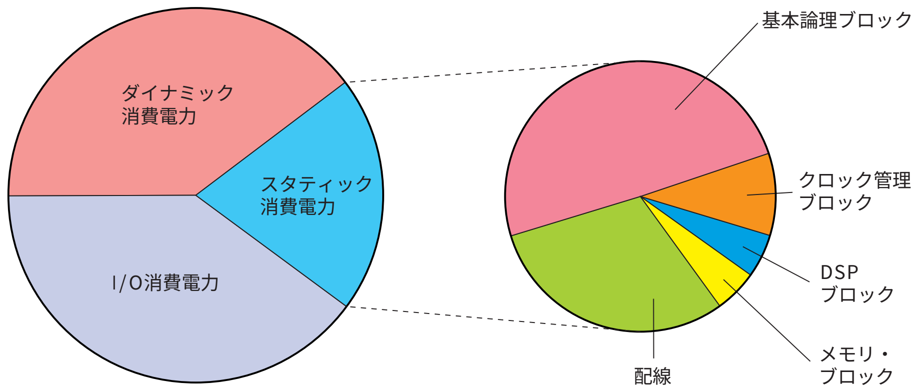


図3
FPGAの消費電力とスタティック消費電力の割合(2)
高性能FPGAの一例を示す．先端プロセスではスタティック消費電力の割合が増えている

ダイナミック消費電力
＝ ΣP（論理ブロック，メモリ・ブロック，…）

● リーク電流に起因するスタティック消費電力

スタティック消費電力とは，FPGAの回路が動作していない（論理レベルが変化しない）ときでも消費してしまう電力のことです．

FPGAにかぎらず，すべてのLSIは電源を供給するだけでも電力を消費します．これは内部トランジスタにおけるリーク電流がそのおもな原因です．したがって，スタティック消費電力はダイ・サイズ（トランジスタ数）や製造プロセス，温度により異なります．

近年，LSIが90nm以下のプロセスで製造されるようになり，リーク電流が目立ち始めたためにスタティック消費電力が問題視されるようになりました（図3）．今後も半導体製造プロセスの微細化やLSIの大規模化が進むことは疑いようがなく，スタティック消費電力の改善は，現在，半導体メーカにとって急務となっています．

● I/Oピンと外部回路に依存するI/O消費電力

I/O消費電力は，信号レベル（DC成分）にかかる消費電力と，信号のスイッチング（AC成分）にかかる消費電力の総和です．

DC成分は，I/Oピンが固定的に消費する電力であり，I/O数に依存します．ただしI/O電圧（V_{CCIO}）だけでなく，信号が“H”か“L”かによっても変わるため，ことばで言うほど簡単なものではありません．

AC成分はさらに複雑です．出力負荷の容量成分やI/O電圧，動作周波数，トグル率といった要素によって決まるためです．つまり，信号のスイッチングによる容量成分への充放電と各I/Oピンの実際のトグル周波数に依存することになります．

I/O 消費電力
＝（DC出力ピン数 × 電力消費係数）
　＋0.5 ×（出力負荷容量の合計）
　× I/O標準電圧振幅 × f_{max}
　×（トグル係数/100）× V_{CCIO}

ここで，電力消費係数とは，出力状態やI/O電圧などに依存する消費電力を平均化した係数値，f_{max}は最大スイッチング周波数，I/O標準電圧振幅はI/O規格ごとの信号電圧，トグル係数は“H”，“L”の変化比率を示す係数

FPGAの消費電力について説明しましたが，これを手計算で行うことはありません．FPGAベンダが提供している消費電力の見積もりツールを使うことになります．

参考・引用*文献
(1) Design Wave Magazine編集部編；FPGA活用チュートリアル 2006/2007年版，CQ出版，2006年5月．
(2) Altera社のWebサイト，http://www.altera.co.jp/

こばやし・けんじ
FPGA設計エンジニア